

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-143466

(P 2001-143466A)

(43) 公開日 平成13年5月25日 (2001. 5. 25)

(51) Int. Cl. ⁷

識別記号

F I

テーマコード (参考)

G 1 1 C 11/405

G 1 1 C 11/34 3 5 2 B 5B024

11/409

3 5 3 F

11/401

3 6 2 G

3 7 1 Z

審査請求 未請求 請求項の数 8

O L

(全 1 2 頁)

(21) 出願番号

特願平11-319295

(22) 出願日

平成11年11月10日 (1999. 11. 10)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 貞方 博之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 縣 政志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

F ターム (参考) 5B024 AA15 BA03 BA05 BA07 BA09

BA11 BA13 BA21 BA29 CA07

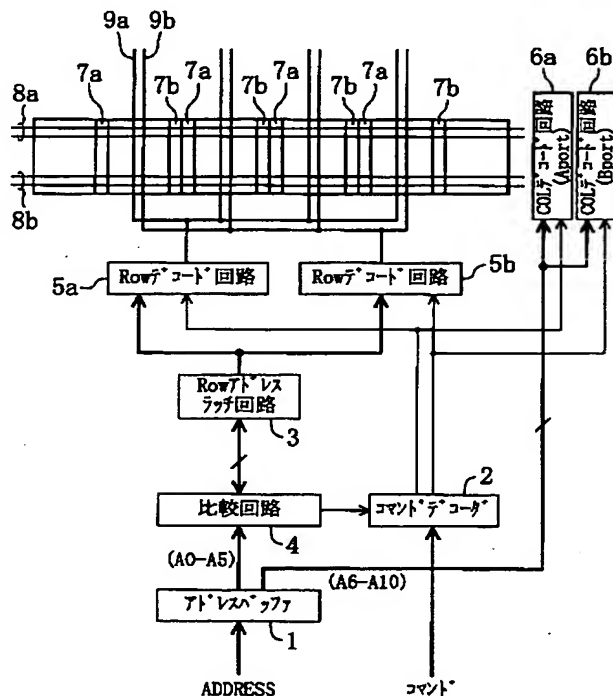
CA11 CA18

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 同一ワード線アドレスがアクセスされたヒット時、及びミスヒット時の双方において、同一データの読み出し動作又はビット線のプリチャージ動作を行うことに起因する動作の遅れを生じず、高速にアクセスする。

【解決手段】 2 T r 1 C 構成の DRAM において、予めアドレスラッチ回路 3 にアドレスをラッチしておき、そのアドレスに対応する A p o r t 側のワード線 9 a を活性化し、センスアンプ 7 a に対応するデータをラッチしておく。比較回路 4 において、その後の入力アドレスと前記ラッチされたアドレスとの比較を行い、両アドレスが一致した場合は、センスアンプ 7 a にラッチされたデータをコラムデコード回路 6 a により読み出す。一方、両アドレスが不一致の場合は、データがラッチされている A p o r t とは別の B p o r t 側から通常の方法でデータ読み出し動作を行い、同時に A p o r t 側ではビット線のプリチャージ動作を行う。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 2 個のトランジスタ及び 1 個のキャパシタで各々構成される多数のメモリセルと、

1 メモリセル当たり 2 port のセンスアンプと、
アドレスをラッチするラッチ手段と、

前記ラッチ手段にラッチされたアドレスを、新たに入力されたアドレスと比較し、その一致又は不一致を判定する判定手段と、

前記判定手段の判定結果が「一致」のとき、前回のアクセス時にセンスアンプにラッチされたデータを読み出し又は前記ラッチされたデータを書き換え、前記判定手段の判定結果が「不一致」のとき、前回のアクセス時に使用したセンスアンプとは別 port のセンスアンプを用いてアクセスする制御手段とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記各メモリセルのトランジスタを制御する 2 port の多数のワード線を備え、この 2 port のワード線のうち同一 port に属する複数本のワード線には同一アドレスが割り付けられていて、少なくとも一方の port のセンスアンプを複数列同時に活性化して、前記複数列のセンスアンプにデータをラッチすることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 1 メモリセル当たり 2 port を持つビット線と、
前記判定手段の判定結果が「不一致」のとき、データがラッチされているセンスアンプの属する port のビット線を自動的にプリチャージするリセット手段とを備えたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記ラッチ手段に所望のアドレスをセットするセット手段を有して、
前記所望のアドレスに対応する所望のデータを前記センスアンプにラッチしておくことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記各メモリセルのトランジスタを制御する 2 port の多数のワード線と、
前記ラッチ手段にラッチされたアドレスに対応するデータがセンスアンプにラッチされている間、前記ラッチされたアドレスに対応するワード線を活性化状態に保持する保持手段とを備えたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 2 個のトランジスタと 1 個のキャパシタで各々構成される多数のメモリセルを持つ複数のメモリアレイと、

1 メモリセル当たり 2 port のセンスアンプと、
前記複数のメモリアレイの各々において、所定の列のメモリセルの一方の port のセンスアンプ、及び他の列のメモリセルの他方の port のセンスアンプを同時に活性化する活性化手段とを備えたことを特徴とする半導体記憶装置。

【請求項 7】 2 port のセンスアンプとデータを入力出力する 2 port のデータ線対と、前記 2 port のデータ線対をインターリーブ動作させるインターリーブ手段とを備えることを特徴とする請求項 1 又は請求項 6 記載の半導体記憶装置。

【請求項 8】 前記 2 port のセンスアンプに接続される 2 port のビット線対を備え、
前記インターリーブ手段は、

前記 2 port のビット線対に配置された第 1 の切換手段と、
前記 2 port のビット線対と前記 2 port のデータ線対とを接続を切換える第 2 の切換手段とを備えたことを特徴とする請求項 7 記載の半導体記憶装置。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明は、半導体記憶装置、特に、DRAMにおいてデータ入出力の高速化を実現するものに関する。

【0002】

【従来の技術】従来、DRAMでは、各メモリセルを 1 個のトランジスタと 1 個のキャパシタとで構成すると共に、センスアンプをキャッシュとして用いて、データを高速に読み出すようにした技術がある。

【0003】

前記技術では、前回の読み出し時において、メモリセルからセンスアンプに読み出されたデータをリセットせず、次の読み出しが始まるまでそのまま保持する。そして、次のデータの読み出し時において、行アドレスが一致したヒット時には、前記センスアンプからデータを直接読み出し、一方、一致しないミスヒット時には、前記センスアンプに蓄えられたデータをリセットした後、新たにワード線を立ち上げて、所望のメモリセルからセンスアンプに新たなデータを読み出す。

【0004】このように、センスアンプをキャッシュとして利用するDRAMにおいては、ミスヒット時のデータ読み出し時間を短縮することを目的として、例えば特開平 7-211062 号公報では、アドレスが入力される前に各センスアンプと各メモリセルとを分離し、ビット線対をイコライズ状態にする技術を提案している。

【0005】

【発明が解決しようとする課題】しかしながら、前記公報の提案技術を用いた場合には、次の欠点がある。即ち、センスアンプに蓄えられたデータを書き換えた後、リードミス又はライトミスによって新たなワード線を立ち上げてデータをアクセスする場合には、そのワード線の立ち上げの前に、予め、前記書き換えられたセンスアンプのデータをメモリセルに書き込む動作を行う必要がある（同公報の第 10 頁右下欄）。そして、その後前記書き込み動作に使用したワード線を立ち下げ、ビット線のイコライズを行って、新たなロウアドレスのメモリセルからデータを読み出す動作が必要がある。従って、

センスアンプに蓄えられたデータに対して書き換えを行った後にリードミス又はライトミスが発生した場合には、その後のデータのアクセス時間が長くなる欠点がある。

【0006】一方、通常のランダムアクセス時のサイクル時間を短縮するために、従来、1個のキャパシタと2個のトランジスタとで1つのメモリセルを構成した2T1CセルのDRAMが提案されている。この2T1CセルのDRAMでは、データの読み出し経路を2系統(2port)用意し、1個のセルキャパシタを一方のトランスファゲートを通じて一方のportのビット線に接続すると共に、前記セルキャパシタを他方のトランスファゲートを通じて他方のportのビット線に接続する。そして、この2個のトランスファゲートを交互に用いて、一方のportでのビット線のプリチャージ動作中に他方のportを用いてデータの読み出し動作を行って、見掛け上ビット線のプリチャージ時間を無くして、読み出し動作の高速化を図っている。しかし、この2T1CセルのDRAMでは、2個のトランスファゲートを交互に用いる関係上、同一のローアドレスのデータを連続してアクセスする場合であっても、一方のportを用いたデータ読み出しと他方のportを用いたデータ読み出しとが連続して行われて、異なるロウアドレスのデータをアクセスする場合と同じ時間を要する欠点がある。

【0007】本発明の目的は、半導体記憶装置において、同一のローアドレスのデータを連続してアクセスする場合(ヒット時)には、一層高速にデータをアクセスすることができ、またミスヒット時であっても、ビット線のイコライズ等を行うことに起因する動作の遅れを生じず、高速にデータをアクセスすることができるようにすることにある。

【0008】また、本発明の他の目的は、アドレスのヒット率を向上させた高速な半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するために、本発明では、前記2T1Cのメモリセルを持つ構成を採用し、この構成を前提として、センスアンプをキャッシュとして利用し、同一アドレスのデータを連続してアクセスする場合には、センスアンプに蓄えられたデータを直接読み出し又は書き換えて、アクセスの高速化を図る。

【0010】また、前記他の目的を達成するために、本発明では、一方のportのセンスアンプだけでなく、他方のportのセンスアンプにもデータをラッチしておく構成を採用する。

【0011】即ち、請求項1に記載の発明の半導体記憶装置は、2個のトランジスタ及び1個のキャパシタで各々構成される多数のメモリセルと、1メモリセル当たり

2portのセンスアンプと、アドレスをラッチするラッチ手段と、前記ラッチ手段にラッチされたアドレスを、新たに入力されたアドレスと比較し、その一致又は不一致を判定する判定手段と、前記判定手段の判定結果が「一致」のとき、前回のアクセス時にセンスアンプにラッチされたデータを読み出し又は前記ラッチされたデータを書き換え、前記判定手段の判定結果が「不一致」のとき、前回のアクセス時に使用したセンスアンプとは別portのセンスアンプを用いてアクセスする制御手段とを備えたことを特徴とする。

【0012】請求項2記載の発明は、前記請求項1記載の半導体記憶装置において、前記各メモリセルのトランジスタを制御する2portの多数のワード線を備え、この2portのワード線のうち同一portに属する複数本のワード線には同一アドレスが割り付けられていて、少なくとも一方のportのセンスアンプを複数列同時に活性化して、前記複数列のセンスアンプにデータをラッチすることを特徴とする。

【0013】請求項3記載の発明は、前記請求項1記載の半導体記憶装置において、1メモリセル当たり2portを持つビット線と、前記判定手段の判定結果が「不一致」のとき、データがラッチされているセンスアンプの属するportのビット線を自動的にプリチャージするリセット手段とを備えたことを特徴とする。

【0014】請求項4記載の発明は、前記請求項1記載の半導体記憶装置において、前記ラッチ手段に所望のアドレスをセットするセット手段を有して、前記所望のアドレスに対応する所望のデータを前記センスアンプにラッチしておくことを特徴とする。

【0015】請求項5記載の発明は、前記請求項1記載の半導体記憶装置において、前記各メモリセルのトランジスタを制御する2portの多数のワード線と、前記ラッチ手段にラッチされたアドレスに対応するデータがセンスアンプにラッチされている間、前記ラッチされたアドレスに対応するワード線を活性化状態に保持する保持手段とを備えたことを特徴とする。

【0016】請求項6記載の発明の半導体記憶装置は、2個のトランジスタと1個のキャパシタで各々構成される多数のメモリセルを持つ複数のメモリアレイと、1メモリセル当たり2portのセンスアンプと、前記複数のメモリアレイの各々において、所定の列のメモリセルの一方のportのセンスアンプ、及び他の列のメモリセルの他方のportのセンスアンプを同時に活性化する活性化手段とを備えたことを特徴とする。

【0017】請求項7記載の発明は、前記請求項1又は請求項6記載の半導体記憶装置において、2portのセンスアンプとデータを入出力する2portのデータ線対と、前記2portのデータ線対をインターリーブ動作させるインターリーブ手段とを備えることを特徴とする。

【0018】請求項8記載の発明は、前記請求項7記載の半導体記憶装置において、前記2 portのセンスアンプに接続される2 portのビット線対を備え、前記インターリーブ手段は、前記2 portのビット線対に配置された第1の切換手段と、前記2 portのビット線対と前記2 portのデータ線対とを接続を切換える第2の切換手段とを備えたことを特徴とする。

【0019】以上により、請求項1記載の発明では、2 Tr 1 C構成のメモリセルを持つ半導体記憶装置において、既にラッチされているアドレスが再入力された際には、そのアドレスに対応するデータが既にセンスアンプにラッチされていて、このセンスアンプのデータが直接読み出され又は書き換えられるので、高速なアクセスが可能である。しかも、センスアンプのデータが書き換えられていた場合に、リードミス又はライトミスにより新たなデータにアクセスすることが必要になった際には、前記データが書き換えられたセンスアンプの portとは別の portを用いて、新たなデータにアクセスされる。従って、リードミス又はライトミス時での新たなデータへのアクセス時間は短縮される。

【0020】また、請求項2記載の発明では、1列のセンスアンプだけでなく、複数列のセンスアンプにデータが既にラッチされているので、データのヒット率が高くなる。

【0021】更に、請求項3記載の発明では、アドレスのミスヒット時には、自動的に現在アクティブになっている port がリセットされるので、外部制御を簡略化することができる。

【0022】加えて、請求項4記載の発明では、所望のアドレスをセットして、所望のデータがセンスアンプにラッチされているので、この所望データとして頻繁にアクセスするデータを用いれば、これ等データに対する高速なアクセスが可能である。アドレスが「不一致」のミスヒット時には、他方の port を用いてアクセスが行われるが、前記所望アドレスのセットはクリアされないため、所望データは常時センスアンプにラッチされている。従って、あたかもSRAMとDRAMとが混在するシステムが組まれたと同等である。

【0023】また、請求項5記載の発明では、ラッチ手段にラッチされているアドレスに対応するワード線は、データがセンスアンプにラッチされている間、活性化された状態を保持するので、メモリセルに常時リストアを行なうことが可能である。

【0024】更に、請求項6記載の発明は、同一アレイでは、2 portのセンスアンプが同時に活性化されるので、キャッシュとして利用できるデータ量を増やすことが可能である。

【0025】加えて、請求項7及び請求項8に記載の発明では、2 portのデータ線対がインターリーブ動作するので、データヒット時においても、データ線対のプ

リチャージを待つことなく、他方のデータ線を使ってデータの読み出しを行ないながら、同期間で一方のデータ線のプリチャージが行なわれるので、高速なデータ転送が可能である。

【0026】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0027】(第1の実施の形態) 図1は本発明の第1の実施の形態の半導体記憶装置のブロック構成を示すものである。同図において、1はアドレスが入力されるアドレスバッファ、2は入力されたコマンド信号をデコードするコマンドデコーダ(制御手段、リセット手段、セット手段及び保持手段)、3は前記アドレスバッファ1に入力されたアドレスをラッチするアドレスラッチ回路、4は前記アドレスバッファ1のアドレスとロウアドレスラッチ回路3にラッチされたアドレスとを比較し、その一致・不一致を判定する比較回路(判定手段)、Cはメモリセルアレイ、5a、5bは複数のワード線9a、9bのうち前記ロウアドレスラッチ回路3にラッチされたアドレスに対応する1本のワード線を選択するロウデコード回路、6a、6bは各々前記ロウアドレスラッチ回路3にラッチされたアドレスのうちコラムアドレスをデコードして対応するデータ線(図1には図示せず)を選択するコラムデコード回路である。また、7a、7bはセンスアンプ列、8a、8bはデータ線対である。尚、簡単のため、ロウデコード回路5a、コラムデコード回路6a及びセンスアンプ列7aをA port側、及びロウデコード回路5b、コラムデコード回路6b及びセンスアンプ列7bをB port側とする。

【0028】前記メモリセルアレイCの内部構成を図2に示す。同図は1個のメモリセルMCの基本構成のみを示す。同図において、メモリセルMCは、1個のキャパシタ81と、2個のトランスファゲート82a、82bとにより構成されている。また、9a、9bはワード線、7a、7bはセンスアンプである。前記ワード線9a、トランスファゲート82a、ビット線対22a、センスアンプ7aをA port、ワード線9b、トランスファゲート82b、ビット線対22b、センスアンプ7bをB portとすると、A port側とB port側を交互に動作させることにより、イコライズ・プリチャージ時間を隠すことができる。以下に、その動作の詳細を説明する。

【0029】図3は2 Tr 1 C構成のDRAMの基本的な動作のタイミングチャートを示す。同図において、時間T1でREADコマンドが入力されてワード線9aが立ち上がり、それに伴いビット線10aにおいてデータ読み出し動作が行なわれている。一方、時間T2でREADコマンドが入力されてワード線9bが立ち上がり、ビット線10bにおいてデータ読み出しが行われている。この間にA port側においてはイコライズ・プリ

チャージが行われている。従って、次の時間T3では、A p o r t側にアクセスすることができる。このように、コマンド入力毎にこれ等2 p o r tを交互に動作させ、一方のp o r tがアクティブ時に、他方のp o r tでリセット動作を行なうことにより、ランダムアクセスタイムを高速化することができる。

【0030】前記図1及び図2に示す構成の半導体記憶装置について、以下、その動作を説明する。

【0031】先ず、READ動作を説明する。ここでは、A p o r t側がアクティブ状態であり、各メモリセルアレイC毎にA p o r t側の各センスアンプ7 aには、ロウアドレスラッチ回路3にラッチされているアドレスに応じたデータが各々読み出されているものとする。

【0032】先ず、アドレスバッファ1にアドレスA0-A10が入力されると、アドレスバッファ1は、この入力アドレスの上位ビットA0-A5のローアドレスを比較回路4に送り、下位ビットA6-A10のコラムアドレスをコラムデコード回路6 a、6 bに送る。前記比較回路4は、入力されたロウアドレスA0-A5とロウアドレスラッチ回路3にラッチされているロウアドレスとを比較する。ここでの一致・不一致の結果はコマンドデコーダ2に送られる。ここで、ロウアドレスが一致した場合は、コマンドデコーダ2から、現在の状態を保持するようにA p o r t側のロウデコード回路5 aに信号が出力される。これにより、現在各メモリセルアレイCでアクティブなワード線9 aをそのまま保持しておくことができる。また、各センスアンプ7 aには、既にデータが読み出された状態であるので、前回と同一p o r tであるA p o r tのコラムデコード回路6 aにより、入力コラムアドレスに応じたデータをデータ線対8 aから出力する。ここで、一致・不一致の結果に拘わらず、ロウアドレスラッチ回路3にラッチされているアドレスを入力アドレスに書き換えても動作上、問題はない。

【0033】ロウアドレスが不一致の場合は、前回と別系統のp o r tのB p o r t側が選択され、同時にコマンドデコーダ2が自動的にA p o r t側のロウデコード回路5 a及びコラムデコード回路6 aのリセットを行う。ロウアドレスラッチ回路3に新たにラッチされたアドレスにより、前回と別系統のB p o r t側において、ロウデコード回路5 bによるワード線9 bの活性化、ビット線10 bのデータの読み出し、センスアンプ7 bでのデータのセンス動作という通常のデータ読み取り動作が行なわれる。また、この動作と同時にA p o r t側においてはプリチャージ動作が行なわれている。

【0034】図4は、本実施の形態におけるREAD動作におけるタイミングチャートである。本実施の形態では、READコマンドの入力からデータの出力までに2サイクルを要し、アドレスが一致する場合には半サイクル後にコマンドが入力され、アドレスが一致しない場合

には1サイクル後に次のコマンドが入力されるものとする。

【0035】時間T1において、READコマンドが入力されて、A p o r t側のワード線9 aが活性化される。それに伴い、A p o r t側のビット線対10 aに電位差が現れ、時間T2でデータの出力が行われている。また、時間T1から半クロック毎に同一アドレスでのREADコマンドが3回入力されており、時間T2、T3、T4において各々同一p o r tから連続してデータが出力されている。この連続データの出力の間、A p o r t側のワード線9 aは活性化されたままである。時間T2において、ラッチされているアドレスとは異なるアドレスが入力されると、それまでオフ状態であったB p o r t側のワード線9 bが立ち上がり、B p o r t側のビット線10 b及びセンスアンプ7 bによりセンス動作が行なわれる。この間にA p o r t側には自動的にコマンドデコーダ2によりリセット信号が入力され、A p o r t側のワード線9 aが立ち下がり、ビット線10 aのイコライズ・プリチャージが行われる。また、時間T4において、時間T2に入力したアドレスと異なるアドレスが入力されると、A p o r t側のワード線9 aが立ち上がり、A p o r t側のビット線10 a及びセンスアンプ7 aにより、センス動作が行なわれる。この間に、B p o r t側では自動的にリセット信号がコマンドデコーダ2により入力されて、B p o r t側のワード線9 bが立ち下がり、ビット線10 bのプリチャージ・イコライズが行われる。

【0036】WRITE動作においても前記READ時と同様の動作であり、アドレスが一致している間は予め一方のp o r tのセンスアンプにラッチされているデータを書き換える動作を行ない、アドレスが不一致の場合は、今までアクティブだったp o r t側をリセットし、新しく入力されたアドレスに対応して別p o r t側をアクティブすることにより、WRITE動作を行なう。

【0037】図5は、1つのメモリセルアレイCの内部構成を示す。同図を用いて本実施の形態の半導体記憶装置の動作を説明すると、次の通りである。

【0038】既に例えばロウアドレス0が選択されて、ワード線A0が活性化されているとすると、A p o r t側のセンスアンプ7 aにメモリセルMCのデータが増幅されてラッチされている。次に、例えばロウアドレス2が入力されると、比較回路4により不一致（ミスヒット）が判定される。ここで、A p o r t側のワード線A2を用いてメモリセルMCにアクセスする場合には、既に活性化されているビット線10 a及びセンスアンプ7 aを用いて他のメモリセルMCからデータを読み出すことになって、データの破壊が生じるため、既に活性化しているA p o r tとは別p o r tのB p o r tを用いてメモリセルMCにアクセスする。即ち、ローアドレス2に対応したB p o r t側のワード線B2を活性化して、

メモリセルMCからデータを読み出す。これと同時に、A p o r t側では、ビット線10aのイコライズ及びプリチャージ動作を行って、次のアドレス入力に備える。一方、B p o r t側では、センスアンプ7bに読み出されたデータはそのままラッチされる。

【0039】以上のように、本実施の形態によれば、入力アドレスとチップ内部でラッチしているアドレスとを比較、判定し、その判定結果により高速データ転送モードとランダムアクセスモードとが切換えられるので、効率的なデータ転送が可能となり、DRAMとSRAMとの双方の機能を併せ持つ半導体記憶装置を提供できる。

【0040】従って、本実施の形態の半導体記憶装置を例えばコンピュータに使用すれば次の効果が得られる。例えば、CPUとDRAMとの間に1次キャッシュ及び2次キャッシュを設けてデータ転送効率を上げるコンピュータシステムでは、本実施の形態の半導体記憶装置を用ると、保持しておきたいデータをそのままラッチできるので、キャッシュ容量を増やすことができ、より一層に高速なデータ転送が可能になる。

【0041】更に、本実施の形態では、各メモリセルアレイCにおいて1本のワード線を同時に活性化したので、一度にラッチするデータ数が多くなり、ロウアドレスがヒットする確率が高くなる。尚、本発明はこれに限定されず、何れか1つのメモリセルアレイCにおいてのみ1本のワード線を活性化する場合を含むのは勿論である。

【0042】(第2の実施の形態)図6は本発明の第2の実施の形態の半導体記憶装置を示す。

【0043】同図において、1はアドレスが入力されるアドレスバッファ、2'はコマンド信号をデコードするコマンドデコーダ、3は、前記コマンドデコーダ2'から出力されるSET信号31によりアドレスがセットされ、且つCLR信号32を受けてそのアドレスのリセットを行なうロウアドレスラッチ回路、4は前記アドレスバッファ1のアドレスと前記ロウアドレスラッチ回路3のラッチアドレスとを比較し、その一致・不一致を判定する比較回路であって、その判定結果の信号ENDECが前記コマンドデコーダ2'に出力される。前記ロウアドレスラッチ回路3にラッチすべきアドレスは、入力バッファ1及び比較回路4を介してロウアドレスラッチ回路3に入力される。

【0044】また、5a、5bはコマンドデコーダ2'からの制御信号を受けて入力アドレスのデコーディングを行なうロウデコード回路であって、B p o r t側のロウデコード回路5bは、前記ロウアドレスラッチ回路3でラッチされたアドレスを受ける。一方、A p o r t側のロウデコード回路5aは、入力バッファ1に入力されたアドレスを前記比較回路4を介して入力する。更に、6a、6bは各々のコラムデコード回路、7a、7bはセンスアンプ列である。簡単のため、ロウデコード回路

5a、コラムデコード回路6a及びセンスアンプ列7aをA p o r t側とし、ロウデコード回路5b、コラムデコード回路6b及びセンスアンプ列7bをB p o r t側として、説明する。

【0045】以上のように構成された半導体記憶装置について、以下、その動作を説明する。

【0046】ロウアドレスラッチ回路3は、コマンドデコーダ2'からのSET信号31により、入力バッファ1に入力されたロウアドレスをラッチし、CLR信号32を入力しない限り、そのロウアドレスをラッチし続ける構成である。従って、B p o r t側においては、一度アドレスをラッチして、メモリセルMCからのデータを読み出して、増幅を行なうと、センスアンプ7bにデータがラッチされているので、高速にデータ転送を行うことが可能である。一方、アドレスがミスヒットの場合には、A p o r t側からREAD又はWRITE動作が行なわれる。ミスヒットした場合においても、ロウアドレスラッチ回路3にラッチされているアドレスは保持されたままであるので、コマンドデコーダ2がCLR信号をロウアドレスラッチ回路3に入力するまでは、ラッチされたアドレスに対して高速にデータの入出力が可能である。

【0047】以下、B p o r t側のセンスアンプ7bに既にデータがラッチされている場合の動作について、説明する。

【0048】先ず、ロウデコード回路5b及びコマンドデコーダ2'により、ロウアドレスラッチ回路3にラッチされているアドレスに対応するワード線9bが活性状態であり、センスアンプ7bにデータがラッチされているとする。ここで、ロウデコーダ5aは非活性状態である。

【0049】アドレスバッファ1にアドレスが入力されると、比較回路4において入力アドレスのロウアドレスとロウアドレスラッチ回路3にラッチされているロウアドレスとの比較が行われる。ヒット・ミスヒットの結果の信号ENDECはコマンドデコーダ2'に送られ、アドレスがヒットした場合は、現在活性化されているワード線9bを保持するようにコマンドデコーダ2'からB p o r t側のロウデコード回路5b及びコラムアドレス回路6bに信号が出力される。この時点でも、A p o r t側のロウデコーダ5aは非活性状態である。アドレスがヒットしているので、データがセンスアンプ列7bにラッチされており、高速なデータ読み出し動作及び書き込み動作が行われる。

【0050】アドレスがミスヒットの場合は、コマンドデコーダ2'によりA p o r t側のロウデコーダ5aが活性状態になり、入力ロウアドレスに対してデコーディングを行なう。この時点においても、B p o r t側のロウデコーダ5b及びロウアドレスラッチ回路3にラッチされているアドレスに対応するワード線9bは活性化さ

れたままである。A p o r t 側においては、通常のランダムアクセス動作が行なわれ、データをセンスアンプ7aにラッチし続けることは、行なわない。

【0051】ロウアドレスラッチ回路3をリセットする場合は、外部コマンドをコマンドデコーダ2'に入力して、コマンドデコーダ2よりCLR信号を発生させることにより、リセットを行なう。また、ロウアドレスラッチ回路3をセットする場合には、外部コマンドをコマンドデコーダ2'に入力してSET信号を発生させると共に、ラッチすべきアドレスを入力して、ロウアドレスラッチ回路3に必要なアドレスをセットすることができる。以上のような構成により、アドレスをリセットしない限りは、ラッチされているアドレスに対して擬似的なSRAMとして使用することも可能となる。

【0052】図7は、本実施の形態におけるREAD動作におけるタイミングチャートを示す。本実施の形態では、READコマンドの入力からデータ出力までは、2サイクルのレイテンシーであるとし、また、アドレスがヒットする場合は、前回がアドレスヒット・ミスヒットに拘わらず半サイクル後にコマンドが入力され、連続したアドレスミスヒットの場合は、2サイクル後にコマンドが入力されるものとする。また、予め、B p o r t 側のワード線9bが活性化され、ビット線対10bもフル振幅状態であって、センスアンプ列5bにデータがラッチされた状態となっているものとする。ここで、ワード線9bは、データがセンスアンプ7bにラッチされ、かつ十分にメモリセルMCにリストアされているならば、閉じて問題はないが、ワード線9bを閉じてしまうと、現在読み出しているデータに対してリフレッシュを行なう必要が生じる。従って、読み出しているデータに対してはワード線9bを活性化させたままにしておき、絶えずリストアを行なう構成を採って、リフレッシュフリーを実現すると、疑似的なSRAMを構成することができる。

【0053】先ず、時間T1でREADコマンドが入力され、予めラッチされているロウアドレスとの比較が行なわれるが、ここでは入力アドレスとラッチされたロウアドレスとが一致し、ヒットしたので、予めデータがラッチしてあるセンスアンプ5bよりデータの出力が行われる。入力アドレスがヒットしている時間T2での動作も同様である。

【0054】時間T3でのREADコマンドにおいてアドレスミスヒットが生じる。アドレスミスヒットが生じると、比較回路4からENDEC信号が発生し、コマンドデコーダ2'がA p o r t 側のロウデコード回路5aを活性化することにより、A p o r t 側のワード線9aを活性化する。そして、メモリセルMCからデータの読み出し、増幅、データ転送、イコライズ・プリチャージという一連のREAD動作を行なう。一方、ロウアドレスラッチ回路3、B p o r t 側のワード線9b及びビッ

ト線10bは時間T1の状態を保持したままである。

【0055】時間T4では、入力アドレスが予めラッチされているアドレスと一致し、ヒットするので、時間T1、T2と同様の動作を行なう。時間T7では、入力アドレスがラッチされているアドレスと不一致となり、ミスヒットとなるため、前回のミスヒット時T3よりも2クロック後のコマンド入力となる。この時の動作は時間T3での動作と同様であるが、連続したアドレスミスヒットであって、データがラッチされていないA p o r t 側でのランダムアクセス動作が連続して行われるために、コマンド入力までに2クロックの時間が必要となる。

【0056】時間T8においては、外部コマンドが入力されて、コマンドデコーダ2'からはCLR信号が出力され、アドレスラッチ回路3にラッチされているロウアドレスがリセットされる。そして、時間T9において、次にラッチすべきアドレスを比較回路4を介してコマンドデコーダ2'に入力すると共に、外部コマンドを入力してコマンドデコーダ2'からSET信号をアドレスラッチ回路3に入力して、アドレスラッチ回路3に新たなアドレスがセットされる。

【0057】以上のように、本実施の形態によれば、入力アドレスとチップ内部でラッチしているアドレスを比較、判定し、アドレスのヒット時には高速データ転送モードとなり、アドレスのミスヒット時にはランダムアクセスモードとなって、モードの切り換えが可能な構成である。更に、内部でラッチするアドレスを外部コマンドにより制御する構成を採用したので、効率的なデータ転送ができる。チップ内部でアドレスをラッチしている期間はSRAMライクな動作を行なうと共に、通常のDRAM動作をも行うという、同一チップ内で数種類のRAMを疑似的に構成できる半導体記憶装置が得られる。

【0058】本実施の形態の半導体記憶装置では、内部でラッチするアドレスを外部コマンドにより制御できるので、保持しておきたいデータを常時ラッチしておくROMとして使用できる。従って、センスアンプをキャッシュとして利用する従来のDRAMでは、データがミスヒットした場合には、現にラッチされているデータが頻繁にアクセスされるデータであってもDRAM単体ではそのデータはラッチしておくことができず、再度データを読み出す必要があったが、本実施の形態の半導体記憶装置では、頻繁にアクセスされるデータはそのままラッチした状態を保持しながら、新たに要求されるデータを入出力することが可能である。

【0059】更に、常時利用するデータが限られ且つ高速データ転送が必要なデバイスでは、従来ではSRAMとDRAMとを組み合わせで対応していたが、本実施の形態の半導体記憶装置を用いれば、その要求を1チップで実現できる。

【0060】(第3の実施の形態)図8は、本発明の第

3の実施の形態の半導体記憶装置を示す。

【0061】同図において、1はアドレスが入力されるアドレスバッファ、2'はコマンド信号をデコードするコマンドデコーダ(活性化手段)であって、SETa信号、SETb信号、及びCLRa信号、CLRb信号を出力する。また、3a、3bは各々前記SETa信号、SETb信号によりアドレスがセットされ、且つ前記CLRa信号、CLRb信号によりアドレスのリセット行なうロウアドレスラッチ回路、4は前記アドレスバッファ1のアドレスと前記ロウアドレスラッチ回路3のラッチアドレスとを比較し、その一致、不一致を判定する比較回路、5a、5bはコマンドデコーダ2'からの信号を受けて入力アドレスのデコーディングを行なうロウデコード回路、6a、6bは各々コラムデコード回路、7a、7bはセンスアンプ列である。簡単のため、ロウデコード回路5a、コラムデコード回路6a及びセンスアンプ列7aをAport側、及びロウデコード回路5b、コラムデコード回路6b及びセンスアンプ列7bをBport側とする。

【0062】以上のように構成された半導体記憶装置について、以下、その動作を説明する。

【0063】ロウアドレスラッチ回路3a、3bは、コマンドデコーダ2'により各々SETa、SETb信号を受けてロウアドレスをラッチし、CLR32a、CLR32b信号を入力しない限りはそのロウアドレスをラッチし続ける構成をとる。更に、ラッチされたアドレスに従ってデータをAport及びBportのセンスアンプ列7a、7bにラッチすることにより、前記第2の実施の形態と比較して2倍のデータをラッチすることができ、2倍のアドレスヒット率が得られる。アドレスのヒット時における回路動作は、既述した動作と同様であるので、省略する。

【0064】アドレスのミスヒット時においては、Aport及びBport側のセンスアンプ7a、7bが共に活性化された状態であるので、一方のport側をリセットする必要がある。そのために、コマンドデコーダ2'は比較回路4からアドレスミスヒットの信号を受けて、ロウアドレスラッチ回路3a、3bの一方にCLRa又はCLRb信号を送る。このCLRa又はCLRb信号はミスヒット毎に、対応するアドレスラッチ回路3a、3bに交互に送られる。2port活性化後にはイコライズ・プリチャージ動作を経てランダムアクセス動作を行うため、2Tr1Cの動作と比べて遅くなる。

【0065】以上のように、本実施の形態によれば、内部でラッチするアドレスをAport及びBport別々に所有し、Aport、Bport各々のワード線9a、9b及びセンスアンプ7a、7bを同時に活性化させることにより、データを両portのセンスアンプ7a、7bにラッチするので、ラッチしているデータを2倍にでき、アドレスヒット率を上げることが可能な半導

体記憶装置が得られる。

【0066】尚、アドレスのミスヒット時のアドレスリセット方法について、本実施の形態では、チップ内部の動作によりAport及びBportを交互にリセットしたが、外部コマンドにより、ミスヒット時にリセットするportを選択する手段を持たせたチップ構成することも可能である。

【0067】また、チップ内の全ての2Tr1CのDRAMコアについて本発明の実施の形態を適用する必要はなく、従来の2Tr1C構成とを混在させ、本実施の形態の領域と従来の2Tr1C構成の領域とを併せ持つチップ構成にすることも可能である。

【0068】(第4の実施の形態)図9は本発明の第4の実施の形態を示し、2portのセンスアンプからのデータ線への接続構成を示す。

【0069】同図において、7a、7bは2portのセンスアンプ、8a、8bはデータ線対、10a、10bはビット線対である。また、80は前記センスアンプ7a、7bとデータ線対8a、8bとを前記ビット線対10a、10bを介して接続するインターリーブ回路(インターリーブ手段)であって、第1の切換回路(第1の切換手段)81と、第2の切換回路(第2の切換手段)82とを備える。前記第1の切換回路81は、各ビット線対10a、10bに配置されたトランジスタ61a、61bを有し、これ等トランジスタはport選択信号PSELa、PSELbにより制御される。また、前記第2の切換回路82は、2portのビット線対10a、10bを相互に接続する2個のトランジスタ62と、Aport側のビット線対10aをAport側のデータ線対8aに接続する2個のトランジスタ63aと、Bport側のビット線対10bをBport側のデータ線対8bに接続する2個のトランジスタ63bとを持ち、前記トランジスタ62はデータ線選択信号DSELcにより制御され、前記Aport側のトランジスタ63aはデータ線選択信号DSELaにより制御され、前記Bport側のトランジスタ63bはデータ線選択信号DSELbにより制御され、前記ビット線対同士を接続するトランジスタ62はデータ線選択信号DSELcにより制御される。

【0070】以上のように構成された半導体記憶装置について、以下、その動作を説明する。

【0071】Aport側のセンスアンプ7aがデータ線8aに接続されるときを考えると、まず、センスアンプ7aによりデータのセンス動作が行なわれる。十分にセンスが行なわれると、Aport側のセンスアンプ7aをデータ線8aに接続するためにPSELa信号が入力される。ここで、データ線8aに接続するために、DSELaはH、DSELbはL、DSELcはLとなり、センスアンプ7aからの出力はデータ線8aに送られる。ここで、DSELcの動作としては、センスアンプ

7aとデータ線8a、及びセンスアンプ7bとデータ線8bとが接続される場合にはLの信号であり、それ以外の場合はHの信号となって、データ線を切換えることが可能である。DSELc信号の作り方は、図10に一例を示すように、2個のEXOR回路71と1個のOR回路72との組み合わせで実現可能である。

【0072】次に、Aport側のセンスアンプ7aをBport側のデータ線8bに接続する場合を考えると、Aport側のセンスアンプ7aを出力を受けるためにHの信号PSELaが入力されることは前述と同一である。ここで、Bport側のデータ線8bに接続するために、信号DSELaはL、信号DSELbはH、信号DSELcはHとすることにより、Aport側のセンスアンプ7aとBport側のデータ線8bとが接続されて、データの入出力が可能となる。

【0073】以上説明したように、本実施の形態によれば、センスアンプにラッチされているデータを高速に読み出しする場合には、同portのセンスアンプとデータ線と接続するのではなく、データ線をインターリーブ動作させることにより、データ線のプリチャージを待つことなく高速データ転送が可能となる。

【0074】

【発明の効果】以上説明したように、請求項1記載の発明によれば、2Tr1c構成のメモリセルを持つ半導体記憶装置において、既にラッチされているアドレスが再入力された際には、既にセンスアンプにラッチされているデータを直接読み出し又は書き換えるので、高速なアクセスが可能である。しかも、センスアンプのデータが書き換えられていた場合に、リードミス又はライトミスにより新たなデータにアクセスすることが必要になった際にも、前記データが書き換えられたセンスアンプのportとは別のportを用いて新たなデータにアクセスするので、リードミス又はライトミス時での新たなデータへのアクセス時間を短縮することができる。

【0075】また、請求項2記載の発明によれば、複数列のセンスアンプにデータをラッチしておくので、データのヒット率が高くなる。

【0076】更に、請求項3記載の発明によれば、アドレスのミスヒット時には、自動的に現在アクティブになっているportをリセットしたので、外部制御を簡略化することができる。

【0077】加えて、請求項4記載の発明によれば、所望のデータをセンスアンプにラッチしておくようにしたので、頻繁にアクセスするデータの高速な読み出し及び書き換えが可能である。しかも、所望データを常時センスアンプにラッチしておくので、あたかもDRAMにSRAMが組込まれたと同等になる。

【0078】また、請求項5記載の発明によれば、データがセンスアンプにラッチされている間、そのデータに対応するワード線を活性化状態に保持したので、メモリ

セルに常時リストアを行なうことが可能である。

【0079】更に、請求項6記載の発明によれば、同一アレイにおいて2portのセンスアンプを同時に活性化したので、キャッシュとして利用できるデータ量を増やすことが可能である。

【0080】加えて、請求項7及び請求項8に記載の発明によれば、2portのデータ線対をインターリーブ動作させたので、データヒット時においても、データ線対のプリチャージを待つことなく、高速なデータ転送が可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体記憶装置のブロック図である。

【図2】同実施の形態の半導体記憶装置のメモリセルアレイの内部構成を示す図である。

【図3】同半導体記憶装置の基本的動作のタイミングチャートを示す図である。

【図4】同半導体記憶装置の特徴的な動作のタイミングチャートを示す図である。

【図5】同半導体記憶装置のメモリセルアレイの詳細な構成を示す図である。

【図6】本発明の第2の実施の形態の半導体記憶装置のブロック図である。

【図7】同半導体記憶装置のタイミングチャートを示す図である。

【図8】本発明の第3の実施の形態の半導体記憶装置のブロック図である。

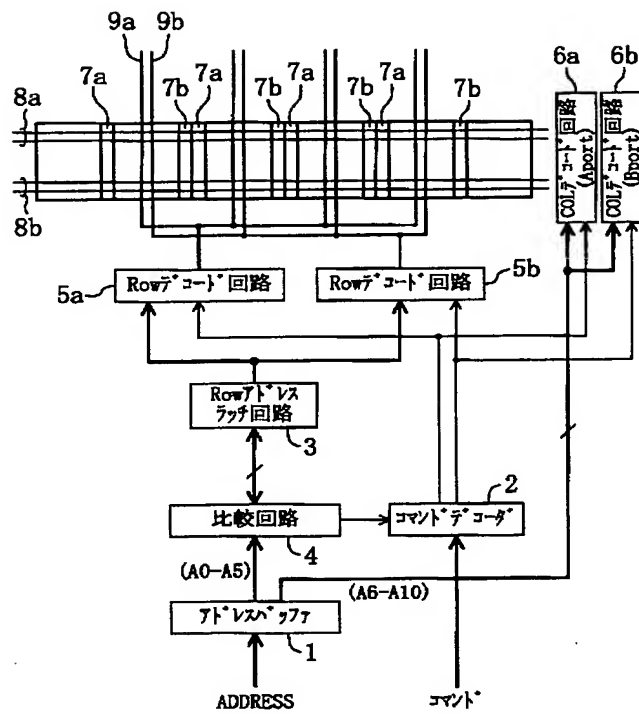
【図9】データ線のインターリーブ動作を行うための構成を示す図である。

【図10】データ線の選択を行なうための信号発生回路の一例を示す図である。

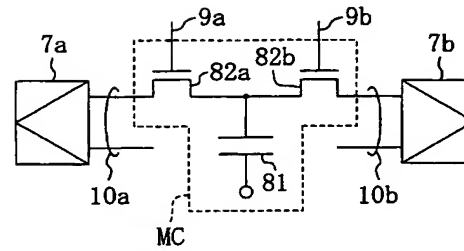
【符号の説明】

- 1 アドレスバッファ
- 2 コマンドデコーダ（制御手段、リセット手段、セット手段及び保持手段）
- 2' コマンドデコーダ
- 2'' コマンドデコーダ（活性化手段）
- 3 アドレスラッチ回路
- 4 比較回路（判定手段）
- 5 ロウデコード回路
- 6 コラムデコード回路
- 7 センスアンプ
- 8 データ線対
- 21 ワード線
- 22 ビット線
- 71 EXOR回路
- 72 OR回路
- 80 インターリーブ回路（インターリーブ手段）
- 81 第1の切換回路（第1の切換手段）
- 82 第2の切換回路（第2の切換手段）

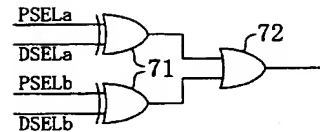
【図 1】



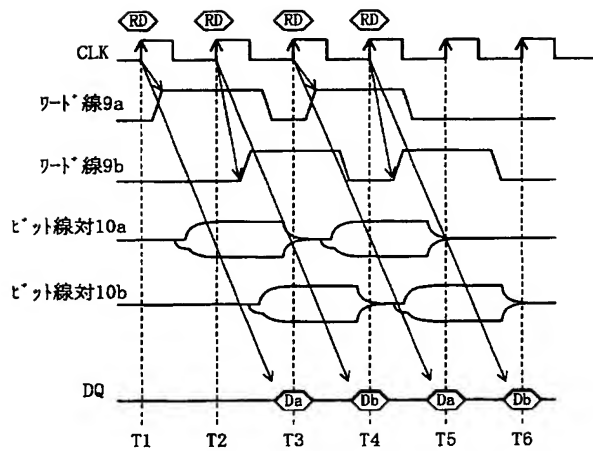
【図 2】



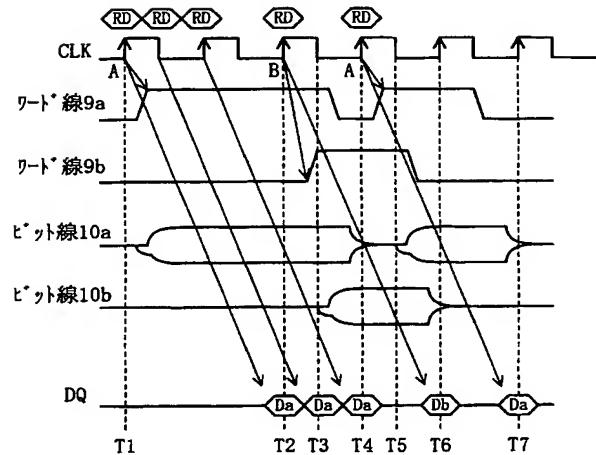
【図 10】



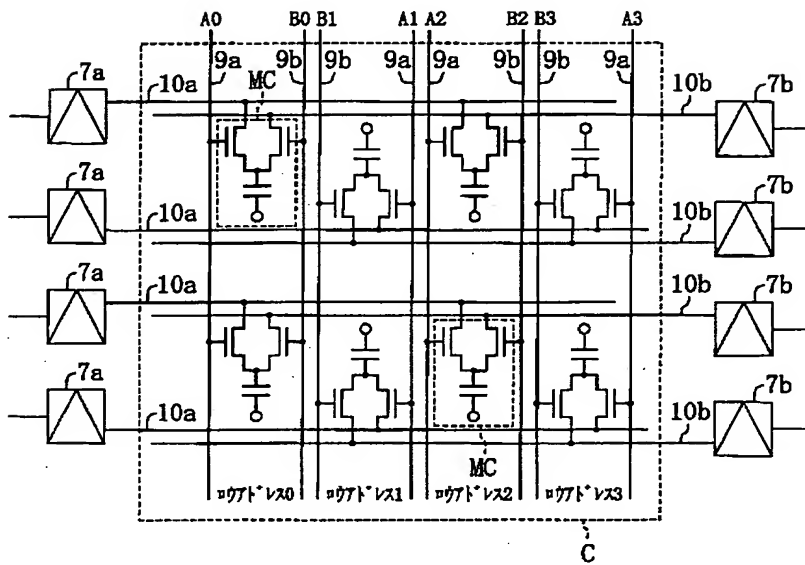
【図 3】



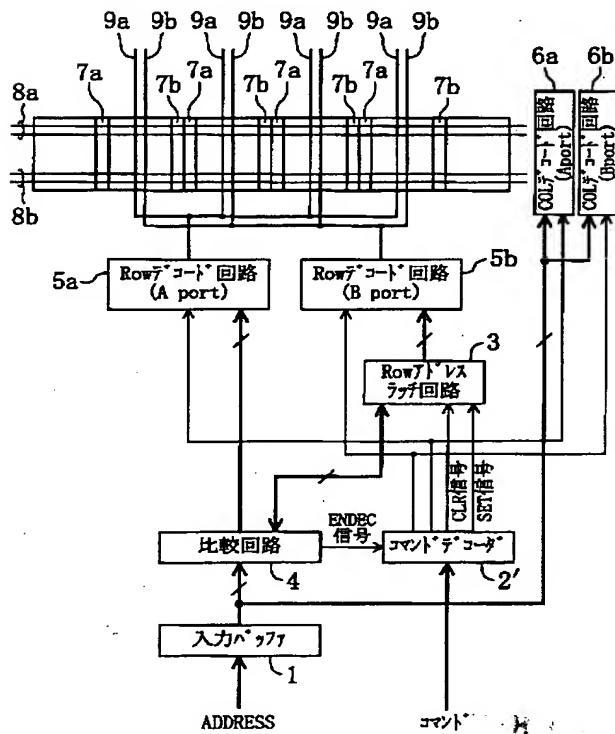
【図 4】



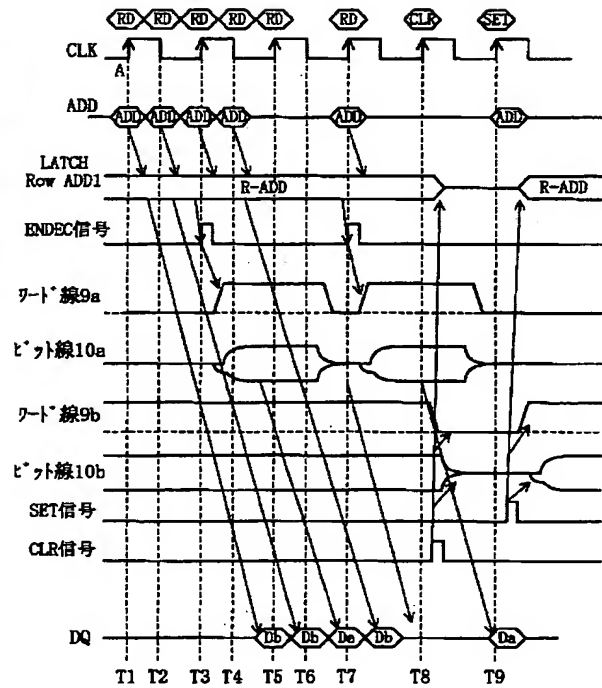
【図5】



【図6】

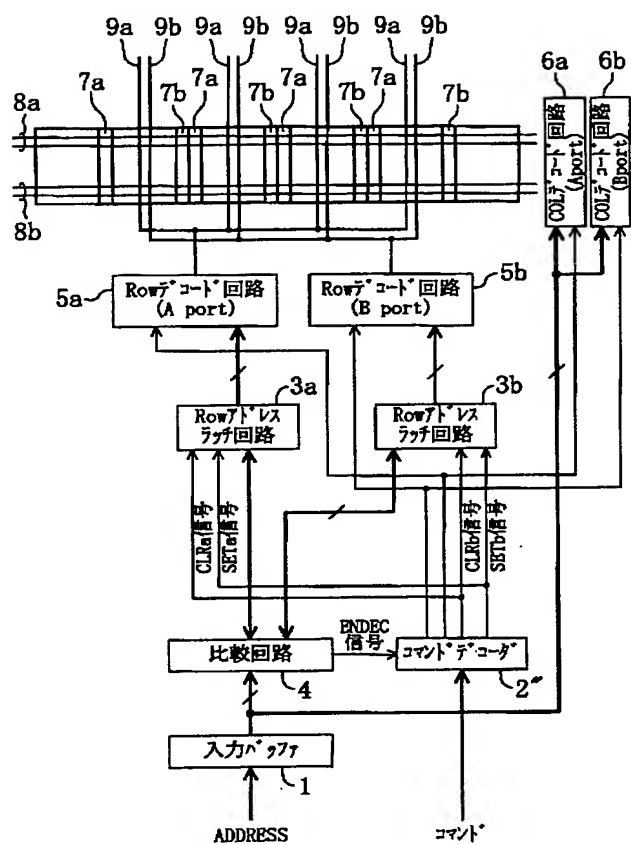


【図7】

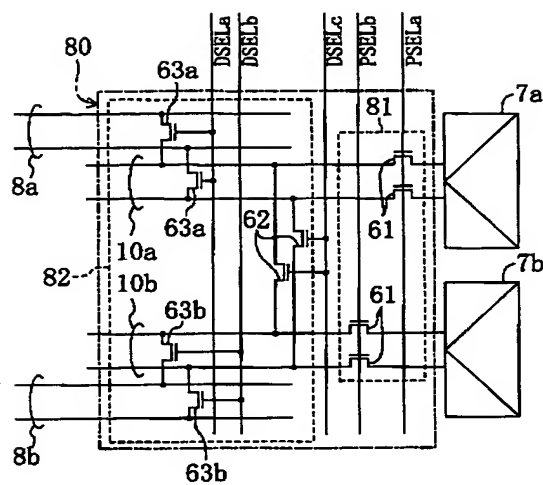


BEST AVAILABLE COPY

【図8】



【図9】



BEST AVAILABLE COPY